# Trabajo Práctico Número 3

**Arquitectura de Computadoras**

**Esp.Ing.Esteban Volentini (evolentini@herrera.unt.edu.ar)**
**Ing. Lucas Castillo Delacroix (lecastillodelacroix@herrera.unt.edu.ar)**

http://www.microprocesadores.unt.edu.ar/arqcom/

# ¿De qué se trataba este TP?

- Perfil de una tarea.
- Diagrama de precedencia.
- Pipelining ideal versus Pipelining real
- Estado de régimen en un pipe
- Métricas de Pipelining.
  - Latencia de una tarea
  - Rendimiento
  - Productividad
  - Aceleración
- Interleaving de memoria

# Resumen del problema

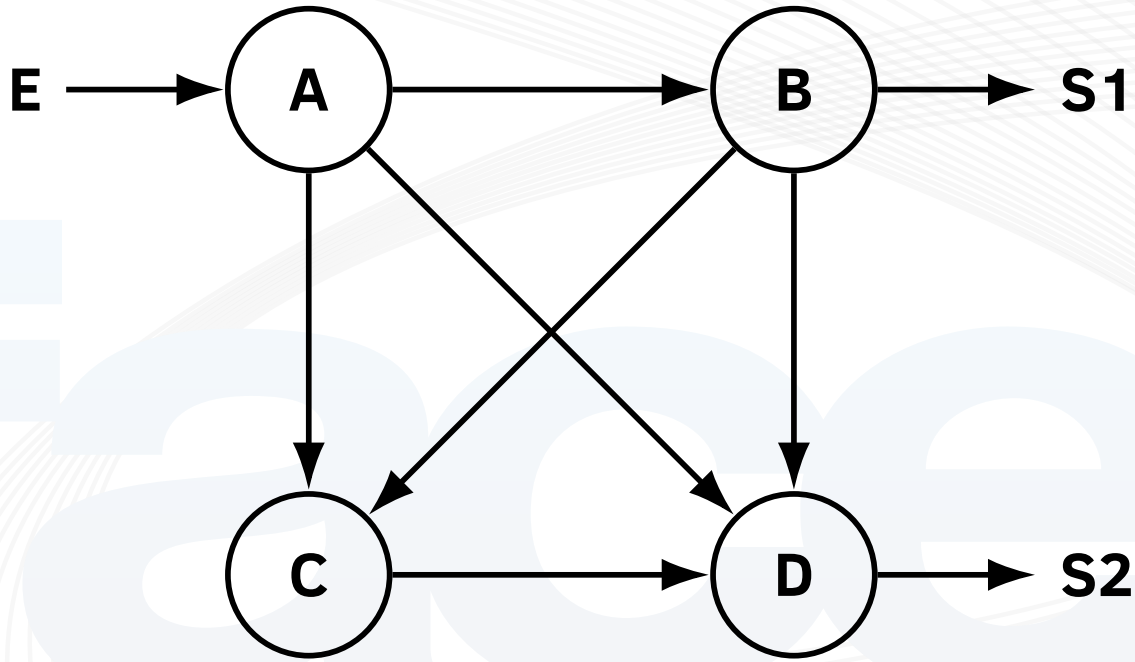
- El problema plantea un sistema combinacional con cuatro componentes con igual retardo.
  - Se pide la latencia del circuito.
  - Se propone una arquitectura de pipeline.
  - Se piden latencia y productividad del pipe propuesto.
  - Se pide una mejora sobre el pipe propuesto.
  - Se piden latencia y productividad del pipe mejorado.
- Como siempre lo primero que hay que hacer es entender el problema.

# Planteo de la solución

a) Calcule la latencia del circuito.

- Determinar todos los caminos del sistema.
- Calcular la latencia de cada uno.
- Identificar el camino crítico: el más lento.
- La latencia del sistema será la duración del camino crítico

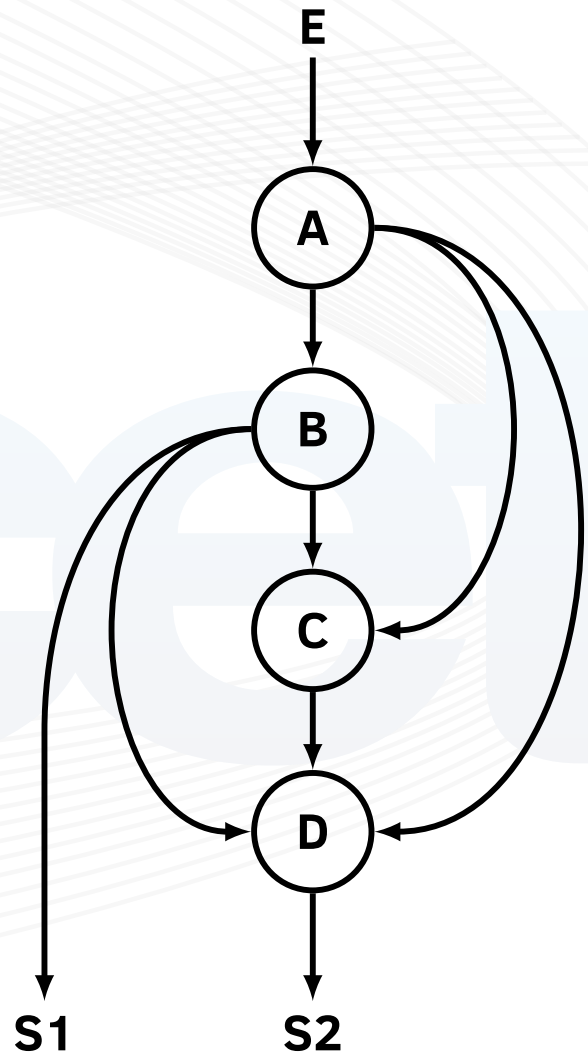
# La solución en números




- A-B-D = 3 $T_{pd}$
- A-C-D = 3 $T_{pd}$
- A-D = 2 $T_{pd}$
- A-B-C-D = **4 $T_{pd}$**

# Planteo de la solución

- Una forma diferente de llegar a la misma solución es haciendo el diagrama de precedencia del circuito
- En este caso queda muy claro cuanto es la latencia

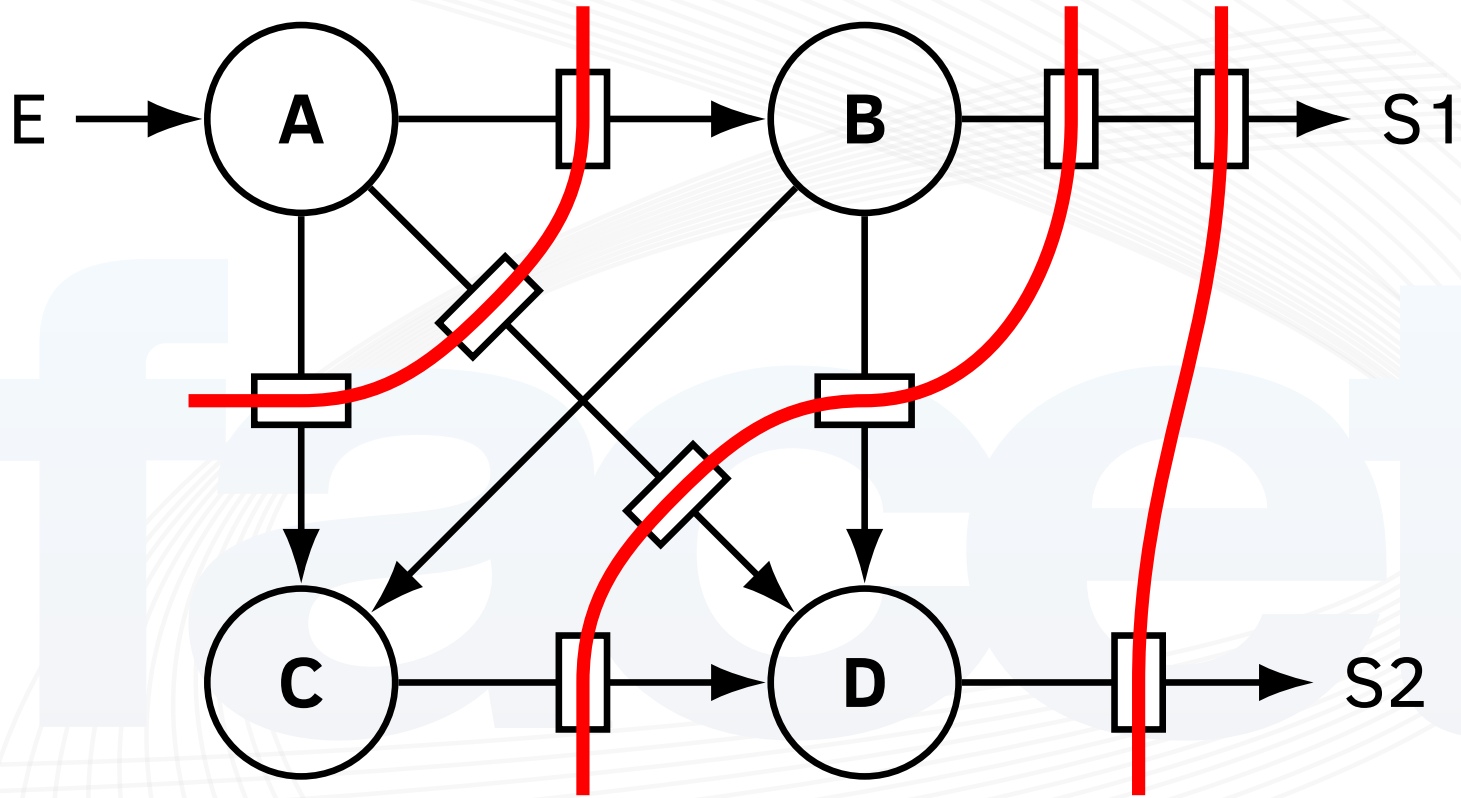


# Planteo de la solución

b) Si se propone emplear la siguiente estructura de pipeline para mejorar la productividad del sistema, ¿por qué se ponen dos registros en S1?.

- Se deben identificar las etapas en el pipeline propuesto
- Las etapas se separan por registros de segmentación

# Planteo de la solución




- El segundo registro es necesario para mantener las salidas sincronizadas

# Planteo de la solución

c) En el circuito propuesto en el apartado anterior ¿cuántas tareas de cálculo pueden estar realizándose en este sistema al mismo tiempo?.

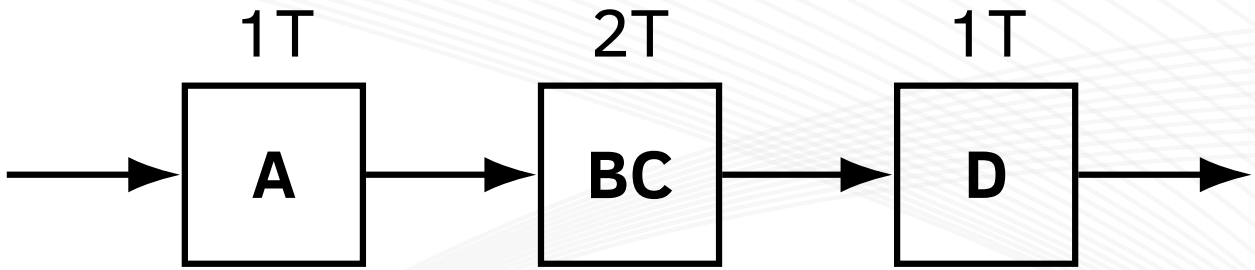
- El dibujo anterior muestra claramente se trata de un pipe de tres etapas, y por lo tanto puede ejecutar tres tareas simultáneamente.

# Planteo de la solución

d) Considerando despreciable el tiempo de los registros intermedios, ¿cuál sería el tiempo mínimo de reloj para el nuevo sistema propuesto, su latencia y productividad?

- La solución más simple si se dibuja el pipeline propuesto como una colección de bloques.

# La solución en números




- El tiempo mínimo de reloj será igual a la duración de la etapa más lenta
- La segunda etapa contiene a B y C en serie.
- Por lo tanto en este pipe el reloj será de 2 $T_{pd}$
- La latencia total de una tarea será 6 $T_{pd}$
- La productividad será de 1 tarea cada 2 $T_{pd}$.

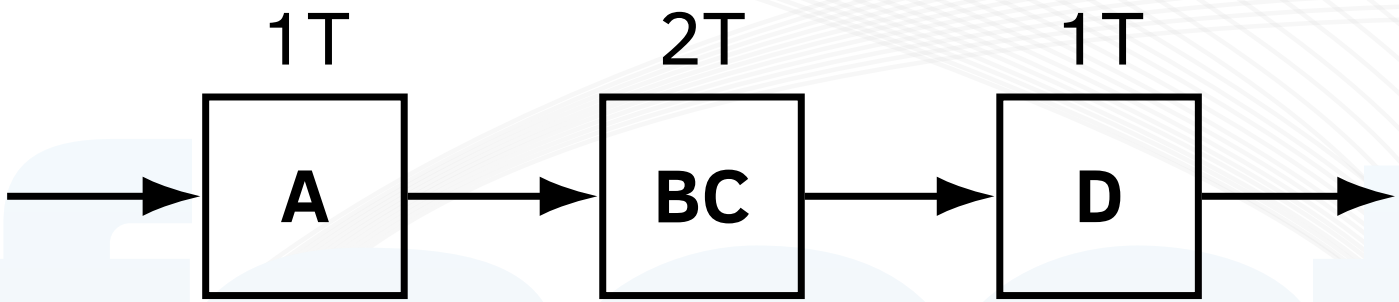
# Planteo de la solución

d) Rediseñe la estructura del pipeline propuesto para obtener máxima productividad.

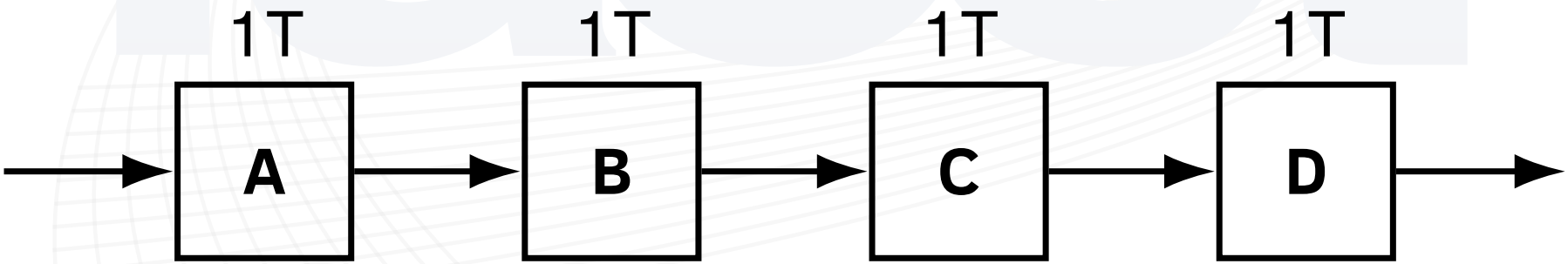
- La máxima productividad para el circuito propuesto es 1 tarea cada 1 $T_{pd}$.
- Para obtener esta productividad se debe dividir la segunda etapa en dos etapas iguales.

# Planteo de la solución

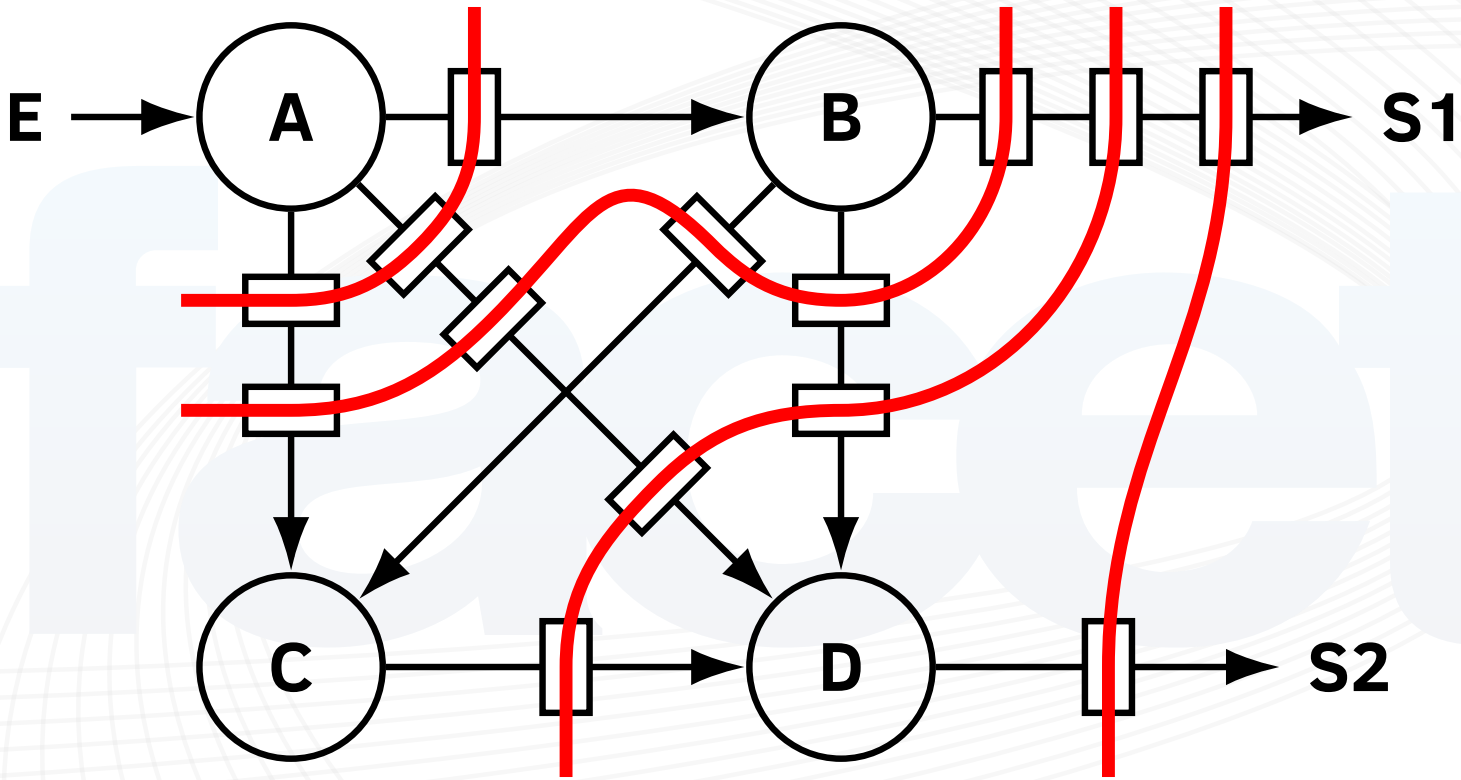
- Se debe convertir el pipeline actual




- En este nuevo pipeline



# La solución propuesta



# Planteo de la solución

e) Para el caso anterior, siempre despreciando el tiempo de los registros intermedios, ¿cuál sería el tiempo mínimo de reloj, la latencia y la productividad?

- Al dividir la segunda etapa del pipe ahora todas tienen la misma duración.
- El nuevo tiempo de reloj será 1 $T_{pd}$
- La latencia de una tarea será ahora de 4 $T_{pd}$.
- La productividad será de 1 tarea cada 1 $T_{pd}$.

# Conclusiones

- La dificultad en este caso estaba en identificar las etapas del pipeline en el circuito
- De nuevo, una vez que se entiende el problema, ya está casi resuelto.
- Después los cálculos y el resto de las preguntas eran simples.
- Miércoles 22/4 TP4